

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re U.S. Patent Application )

Applicant: Seiko et al. )

Serial No. )

Filed: August 24, 2001 )

For: LIQUID CRYSTAL  
DISPLAY . . . )

Art Unit: )

*I hereby certify that this paper is being deposited with  
the United States Postal Service as EXPRESS MAIL in  
an envelope addressed to: Assistant Commissioner for  
Patents, Washington, D.C. 20231, on August 27, 2001  
Express Label No.: EL 846163761 US*

Signature: *David L. Cannon*  
EXPRESS.WCM  
Appr. February 20, 1998

CLAIM FOR PRIORITY

Assistant Commissioner for Patents  
Washington, DC 20231

Sir:

Applicant claims foreign priority benefits under 35 U.S.C. § 119 on the  
basis of the foreign applications identified below:

Japanese Patent Application No. 2000-259578, filed August 29, 2000.

Japanese Patent Application No. 2001-022479, filed January 30, 2001.

A certified copies of the priority documents are enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

By

*Patrick G. Burns*  
Patrick G. Burns  
Reg. No. 29,367

August 27, 2001  
300 South Wacker Drive  
Suite 2500  
Chicago, IL 60606  
(312) 360-0080  
Customer Number: 24978



312-360-0080

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

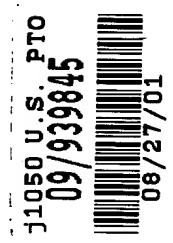
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2000年 8月29日

出 願 番 号  
Application Number: 特願2000-259578

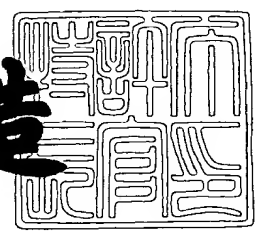
出 願 人  
Applicant (s): 富士通株式会社



2001年 2月23日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3011237

【書類名】 特許願

【整理番号】 0000130

【提出日】 平成12年 8月29日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H03K 5/00

【発明の名称】 クロック信号生成回路及び表示装置

【請求項の数】 6

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 関戸 哲

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 伊藤 高英

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 永谷 真平

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100070150

    【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

    【弁理士】

    【氏名又は名称】 伊東 忠彦

    【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック信号生成回路及び表示装置

【特許請求の範囲】

【請求項1】 データ信号と同期される同期クロック信号の立ち上がりエッジ及び立ち下がりエッジの何れか一方のエッジのタイミングを固定にして他方のエッジのタイミングを変動させることで該同期クロック信号のデューティ比を変化させることを特徴とするクロック信号生成回路。

【請求項2】 基準クロック信号を異なった時間遅延させることで異なった遅延時間を有する複数の遅延クロック信号を生成する遅延クロック信号生成回路と

該複数の遅延クロック信号から1つのクロック信号を順次選択して該基準クロック信号と組み合わせることで前記同期クロック信号を生成するデューティ比制御回路

を含むことを特徴とする請求項1記載のクロック信号生成回路。

【請求項3】 データ信号と同期される同期クロック信号の立ち上がりエッジ及び立ち下がりエッジの何れか一方のエッジのタイミングを固定にして他方のエッジのタイミングを変動させることで該同期クロック信号のデューティ比を変化させるクロック信号生成回路と、

該同期クロック信号と同期してデータ信号を処理する回路  
を含むことを特徴とするシステム。

【請求項4】 前記クロック信号生成回路は、

基準クロック信号を異なった時間遅延させることで異なった遅延時間を有する複数の遅延クロック信号を生成する遅延クロック信号生成回路と、

該複数の遅延クロック信号から1つのクロック信号を順次選択して該基準クロック信号と組み合わせることで前記同期クロック信号を生成するデューティ比制御回路

を含むことを特徴とする請求項3記載のシステム。

【請求項5】 同期クロック信号の立ち上がりエッジ及び立ち下がりエッジの何れか一方のエッジのタイミングを固定にして他方のエッジのタイミングを変動

させることで該同期クロック信号のデューティ比を変化させるクロック信号生成回路と、

該同期クロック信号と同期してデータ信号を処理するドライバ回路と、

該ドライバ回路からの表示データ信号を表示する表示部を含むことを特徴とする表示装置。

【請求項 6】 前記クロック信号生成回路は、

基準クロック信号を異なった時間遅延させることで異なった遅延時間を有する複数の遅延クロック信号を生成する遅延クロック信号生成回路と、

該複数の遅延クロック信号から 1 つのクロック信号を順次選択して該基準クロック信号と組み合わせることで前記同期クロック信号を生成するデューティ比制御回路

を含むことを特徴とする請求項 5 記載の表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、一般にクロック信号生成回路及びそれを用いたシステムに関し、詳しくは、EMI レベルを抑える機能を有したクロック信号生成回路及びそれを用いたシステムに関する。

【0 0 0 2】

【従来の技術】

システムの処理速度が向上するにつれ、情報機器のシステム駆動クロックが高速化してきている。

【0 0 0 3】

情報機器では、電磁波障害 EMI (Electro-Magnetic Interference) のレベルを抑える必要がある。従来は、ビーズやフィルタを用いて信号波形をなまらせる方法や、構造的にシールドを強化する等の方法を用いて、電磁波放射を抑えていた。

【0 0 0 4】

【発明が解決しようとする課題】

しかしシステム駆動クロックの周波数が高くなると、クロック周波数の波形をなまらせるといった方法では充分に対処出来なくなる。

## 【0005】

1つの解決手段としては、クロックの周波数を変動して高周波のピークを散らす方法が考えられるが、この手法では周波数変動したクロックが元のクロックに対して非同期になるため、データとの同期をとれないという問題がある。

## 【0006】

従って本発明は、EMIのレベルを効果的に抑える手法を提供することを目的とする。

## 【0007】

## 【課題を解決するための手段】

請求項1の発明では、クロック信号生成回路は、データ信号と同期される同期クロック信号の立ち上がりエッジ及び立ち下がりエッジの何れか一方のエッジのタイミングを固定にして他方のエッジのタイミングを変動させることで該同期クロック信号のデューティ比を時々刻々と変化させることを特徴とする。

## 【0008】

請求項2の発明では、請求項1記載のクロック信号生成回路は、基準クロック信号を異なった時間遅延させることで異なった遅延時間を有する複数の遅延クロック信号を生成する遅延クロック信号生成回路と、該複数の遅延クロック信号から1つのクロック信号を順次選択して該基準クロック信号と組み合わせることで前記同期クロック信号を生成するデューティ比制御回路を含むことを特徴とする。

## 【0009】

請求項3の発明では、システムは、データ信号と同期される同期クロック信号の立ち上がりエッジ及び立ち下がりエッジの何れか一方のエッジのタイミングを固定にして他方のエッジのタイミングを変動させることで該同期クロック信号のデューティ比を時々刻々と変化させるクロック信号生成回路と、該同期クロック信号と同期してデータ信号を処理する回路を含むことを特徴とする。

## 【0010】

請求項4の発明では、請求項3記載のシステムにおいて、前記クロック信号生成回路は、基準クロック信号を異なった時間遅延させることで異なった遅延時間を有する複数の遅延クロック信号を生成する遅延クロック信号生成回路と、該複数の遅延クロック信号から1つのクロック信号を順次選択して該基準クロック信号と組み合わせることで前記同期クロック信号を生成するデューティ比制御回路を含むことを特徴とする。

## 【0011】

請求項5の発明では、システムは、同期クロック信号の立ち上がりエッジ及び立ち下がりエッジの何れか一方のエッジのタイミングを固定にして他方のエッジのタイミングを変動させることで該同期クロック信号のデューティ比を時々刻々と変化させるクロック信号生成回路と、該同期クロック信号と同期してビデオ信号を処理するドライバ回路と、該ドライバ回路からのビデオ信号を表示する表示部を含むことを特徴とする。

## 【0012】

請求項6の発明では、請求項5記載のシステムにおいて、前記クロック信号生成回路は、基準クロック信号を異なった時間遅延させることで異なった遅延時間を有する複数の遅延クロック信号を生成する遅延クロック信号生成回路と、該複数の遅延クロック信号から1つのクロック信号を順次選択して該基準クロック信号と組み合わせることで前記同期クロック信号を生成するデューティ比制御回路を含むことを特徴とする。

## 【0013】

上記発明では、デューティ比を時々刻々と変化させることにより、同期クロック信号の周波数スペクトラムのうちでピークとなる高調波成分を時々刻々と変化させ、デューティ比が固定の場合には1つの高調波成分に集中していたピークを、周波数スペクトラム全体に分散させることが可能となる。従って、この同期クロック信号で駆動されるシステムのEMIレベルを抑えることが出来る。

## 【0014】

また同期クロック信号の立ち上がりエッジ或いは立ち下りエッジの何れか一方



のタイミングを固定のままでデューティ比を変化させるので、システムのデータ信号をこの固定タイミングのエッジと同期するように設計しておけば、システムで同期クロック信号のデューティ比が時々刻々と変化しても、常に同期クロック信号とデータ信号との同期を保つことが出来る。

【 0 0 1 5 】

【発明の実施の形態】

以下に、本発明の原理及び実施例を添付の図面を用いて詳細に説明する。

【 0 0 1 6 】

本発明では、クロック信号のデューティ比を時々刻々と変化させることによって、1つの高調波成分に集中していたピークを別の高調波成分に散らし、これによってEMIレベルを抑えることを可能とする。一般的に、デューティ比が $a$ であるパルス信号の $n$ 次の高調波は、フーリエ変換により次式で表わされる。

【 0 0 1 7 】

$$aA + A/n\pi \times [2(1-\cos(2\pi an))]^{1/2} \times [\sin(n\omega t + \phi)]$$

ここで $A$ は信号振幅である。この式から明らかなように、デューティ比 $a$ によって、 $n$ 次高調波の振幅が決まる。デューティ比 $a$ が固定の場合には、ある特定の高調波成分がピークとなり特異点を形成してしまう。それに対して本発明のように、デューティ比 $a$ を時々刻々と変化させると、ピークとなる高調波成分が時々刻々と変化して、1つの高調波成分に集中していたピークを周波数スペクトラム全体に分散させることが可能となる。

【 0 0 1 8 】

図1 (a) 及び (b) は、クロック信号のデューティ比を時々刻々と変化させる回路を示す回路図である。

【 0 0 1 9 】

図1 (a) に示すのは、クロック信号CLKをもとにして、遅延クロック信号CKDLY0乃至CKDLY4を生成する遅延クロック生成回路である。この遅延クロック生成回路は、インバータ11乃至15と、NAND回路16乃至19とを含む。信号STがHIGHのときに、この遅延クロック生成回路は遅延クロック信号を生成して出力する。

## 【0020】

クロック信号CLKは、インバータ11を介した後、NAND回路16とインバータ12とによって遅延され、遅延クロック信号CKDLY1を生成する。また遅延クロック信号CKDLY1が更に、NAND回路17とインバータ13とによって遅延されて、遅延クロック信号CKDLY2が生成される。同様にして、更なる遅延クロック信号CKDLY3及びCKDLY4が生成される。またクロック信号CLKをインバータ11で遅延した信号が、遅延クロック信号CKDLY0として出力される。

## 【0021】

図1(b)に示すのは、図1(a)の遅延クロック生成回路で生成された遅延クロック信号を組み合わせ、デューティ比の異なる信号を生成するデューティ比制御回路である。このデューティ比制御回路は、NAND回路21乃至24と、AND回路25を含む。

## 【0022】

各NAND回路は、4つの入力信号を受け取る。4つの入力信号のうち2つは図1(a)の遅延クロック生成回路で生成された遅延クロック信号であり、残りの2つはデューティ比を選択するデューティ比選択信号PE1及びPE2である。なおXPE1はPE1の反転信号であり、XPE2はPE2の反転信号である。

## 【0023】

NAND回路21は、遅延クロック信号CKDLY0及びCKDLY1を受け取り、デューティ比選択信号XPE1及びXPE2が供給される。NAND回路22は、遅延クロック信号CKDLY0及びCKDLY2を受け取り、デューティ比選択信号PE1及びXPE2が供給される。NAND回路23は、遅延クロック信号CKDLY0及びCKDLY3を受け取り、デューティ比選択信号XPE1及びPE2が供給される。NAND回路24は、遅延クロック信号CKDLY0及びCKDLY4を受け取り、デューティ比選択信号PE1及びPE2が供給される。

## 【0024】

デューティ比選択信号PE1及びPE2が共にHIGHのとき、NAND回路24が選択される。即ち、他のNAND回路の出力はHIGHに固定であり、NAND回路24の出力だけが、遅延クロック信号CKDLY0と遅延クロック信号CKDLY4とのNANDとなる。従って、AND回路25の出力は、遅延クロック信号CKDLY0と遅延クロック信号CKDLY4とのNANDを取った信号となる。

## 【0025】

またデューティ比選択信号PE1がLOWでPE2がHIGHのときには、NAND回路23が選択される。即ち、他のNAND回路の出力はHIGHに固定であり、遅延クロック信号CKDLY0と遅延クロック信号CKDLY3とのNANDを取った信号が、AND回路25から出力として供給される。

## 【0026】

同様に、デューティ比選択信号PE1がHIGHでPE2がLOWのときには、NAND回路22が選択され、遅延クロック信号CKDLY0と遅延クロック信号CKDLY2とのNANDを取った信号が、AND回路25から出力として供給される。

## 【0027】

またデューティ比選択信号PE1及びPE2がLOWのときには、NAND回路21が選択され、遅延クロック信号CKDLY0と遅延クロック信号CKDLY1とのNANDを取った信号が、AND回路25から出力として供給される。

## 【0028】

図2は、図1の回路によって遅延クロックを生成しデューティ比を調整する様子を説明する波形図である。

## 【0029】

図2(a)は遅延クロック信号CKDLY0を示し、図2(b)は遅延クロック信号CKDLY1乃至CKDLY4の何れか1つを示す。図2(c)は、図2(a)の遅延クロック信号CKDLY0と図2(b)は遅延クロック信号とのNANDを示す。

## 【0030】

例えば、NAND回路24に関して説明するならば、図2（a）は遅延クロック信号CKDLY0を示し、図2（b）は遅延クロック信号CKDLY4を示す。図2（c）はNAND回路24の出力であり、遅延クロック信号CKDLY0と遅延クロック信号CKDLY4とのNANDを示す。図2に示されるように、遅延クロック信号CKDLY0と遅延クロック信号CKDLY4とのタイミング差に応じて、出力信号のデューティ比が決定される。

## 【0031】

従って、図1（b）のデューティ比制御回路で、デューティ比選択信号PE1及びPE2のHIGH及びLOWの組み合わせを時々刻々と変化させることによって、デューティ比制御回路の出力である出力クロック信号DTYCKのデューティ比を時々刻々と変化させることが出来る。従ってこのクロック信号に関して、ピークとなる高調波成分を時々刻々と変化させて、周波数スペクトラム全体に分散させることが可能となる。従って、このクロック信号で駆動されるシステムのEMIレベルを抑えることが出来る。

## 【0032】

なおデューティ比を変化させる場合に、図2（a）の遅延クロック信号CKDLY0のタイミングは固定であり、図2（b）の遅延クロック信号のタイミングのみが時々刻々と変化することになる。図2（c）に示されるデューティ比制御回路の出力信号において、立ち上がりエッジのタイミングは、図2（a）の信号の立ち下りエッジのタイミングと同一である。従って、デューティ比が変化しても、出力信号の立ち上がりエッジのタイミングは固定であり、変化することはない。

## 【0033】

このように、出力クロック信号の立ち上がりエッジのタイミングを固定のままデューティ比を変化させるので、システムのデータ信号を同期クロック信号の立ち上がりエッジと同期するように設計しておけば、システムで同期クロック信号のデューティ比が時々刻々と変化しても、常に同期クロック信号とデータ信号との同期を保つことが出来る。

## 【0034】

なお上記の例では、立ち上がりエッジのタイミングを固定で立ち下がりエッジのタイミングを変動させるが、本発明はこの実施例に限られることなく、立ち下がりエッジのタイミングを固定で立ち上がりエッジのタイミングを変動させるようにしてデューティ比を変化させるようにしてもよい。この場合には、システムでは、データ信号を同期クロック信号の立ち下がりエッジと同期するように設計しておくことになる。

## 【 0 0 3 5 】

図 3 は、本発明を適用したシステムの一例を示す。

## 【 0 0 3 6 】

図 3 に示されるのは、液晶表示装置の構成図である。液晶表示装置 (LCD: Liquid Crystal Display) は、LCD 制御部 3 0、ソース・ドライバ部 3 1、ゲート・ドライバ部 3 2、及び液晶表示部 3 3 を含む。

## 【 0 0 3 7 】

ゲート・ドライバ部 3 2 は、ゲートクロック信号 GCLK に同期して、走査信号を走査信号液晶表示部 3 3 2 に供給する。この走査信号によって、液晶表示部 3 3 内の画素セルが、列毎に順次活性化される。

## 【 0 0 3 8 】

ソース・ドライバ部 3 1 は、液晶表示部 3 3 内の活性化された画素セルに対して、同期クロック信号 DTYCK に同期して表示信号 (ビデオ信号) を書き込む。

## 【 0 0 3 9 】

これらの動作のタイミングは、LCD 制御部 3 0 によって制御される。これによって、所望のビデオ情報を液晶表示部 3 3 に表示することが出来る。

## 【 0 0 4 0 】

LCD 制御部 3 0 は、電源作成部 4 1、階調電源作成部 4 2、ドライバ制御信号作成部 4 3、及びデータタイミング制御部 4 4 を含む。

## 【 0 0 4 1 】

電源作成部 4 1 は、電源電圧 VDD 及び VCC をソース・ドライバ部 3 1 に供給すると共に、電源電圧 VGD 及び VEE をゲート・ドライバ部 3 2 に供給する。

。階調電源作成部 4 2 は、各階調に対応する電圧  $V_0$  乃至  $V_x$  を生成して、ソース・ドライバ部 3 1 に供給する。ドライバ制御信号作成部 4 3 は、同期クロック信号  $DTYCK$  を生成してソース・ドライバ部 3 1 に供給すると共に、ゲートクロック信号  $GCLK$  を生成してゲート・ドライバ部 3 2 に供給する。またデータタイミング制御部 4 4 は、所定のタイミングで、ビデオ信号  $RGB$  をソース・ドライバ部 3 1 に供給する。

#### 【0042】

図 1 に示される本発明の遅延クロック生成回路及びデューティ比制御回路は、図 3 のドライバ制御信号作成部 4 3 に設けられる。これによって、図 1 及び図 2 を用いて説明したように、同期クロック信号  $DTYCK$  のデューティ比を時々刻々と変化させて、EMI レベルのピークを周波数スペクトラム全体に散らすことが出来る。また図 2 を用いて説明したように、例えば同期クロック信号の立ち上がりエッジのタイミングを固定にしてデューティ比を変化させるので、デューティ比を時々刻々と変化させながらも、同期クロック信号とビデオ信号  $RGB$  との同期を常に保つことが出来る。

#### 【0043】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

#### 【0044】

##### 【発明の効果】

本発明では、デューティ比を時々刻々と変化させることにより、同期クロック信号の周波数スペクトラムのうちでピークとなる高調波成分を時々刻々と変化させ、デューティ比が固定の場合には 1 つの高調波成分に集中していたピークを、周波数スペクトラム全体に分散させることが可能となる。従って、この同期クロック信号で駆動されるシステムの EMI レベルを抑えることが出来る。

#### 【0045】

また同期クロック信号の立ち上がりエッジ或いは立ち下りエッジの何れか一方のタイミングを固定のままでデューティ比を変化させるので、システムのデータ信号をこの固定タイミングのエッジと同期するように設計しておけば、システム

で同期クロック信号のデューティ比が時々刻々と変化しても、常に同期クロック信号とデータ信号との同期を保つことが出来る。

【図面の簡単な説明】

【図 1】

(a) 及び (b) は、クロック信号のデューティ比を時々刻々と変化させる回路を示す回路図である。

【図 2】

図 1 の回路によって遅延クロックを生成しデューティ比を調整する様子を説明する波形図である。

【図 3】

本発明を適用したシステムの一例を示す図である。

【符号の説明】

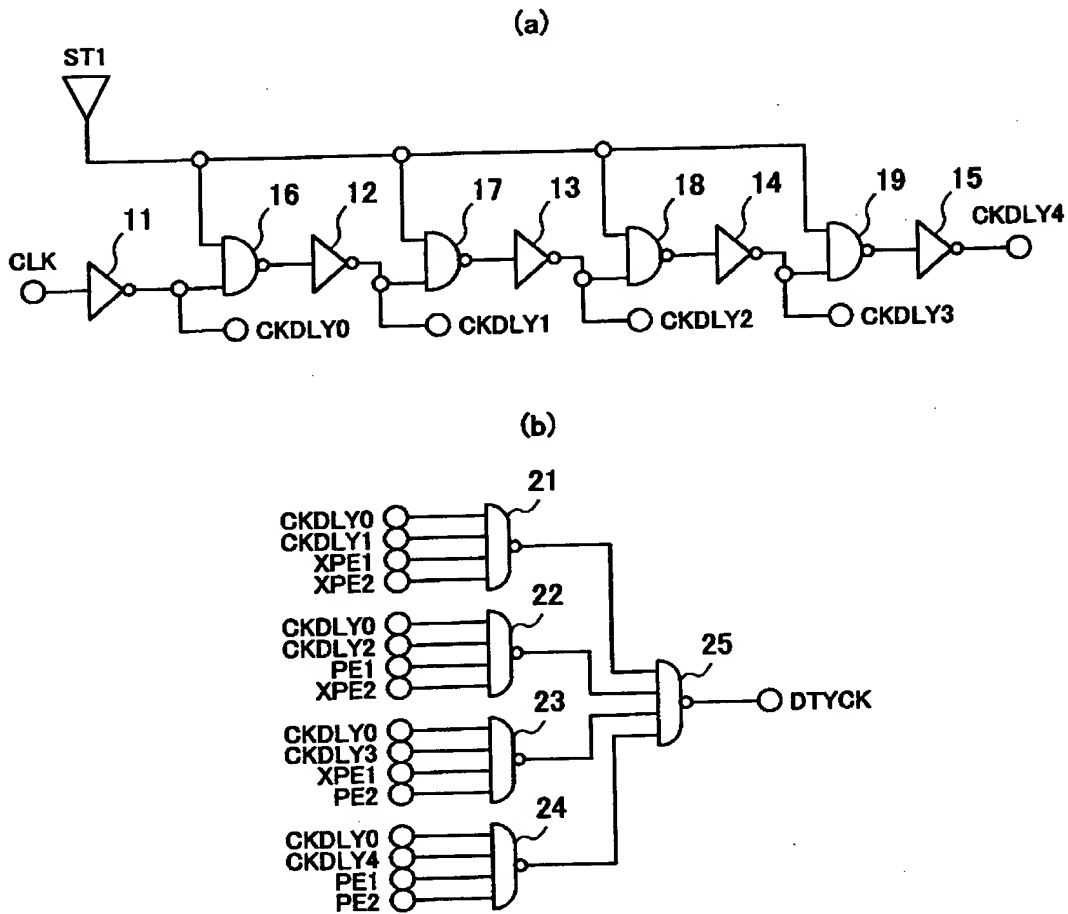
- 3 0    L C D 制御部
- 3 1    ソース・ドライバ部
- 3 2    ゲート・ドライバ部
- 3 3    液晶表示部
- 4 1    電源作成部
- 4 2    階調電源作成部
- 4 3    ドライバ制御信号作成部
- 4 4    データタイミング制御部

【書類名】

図面

【図1】

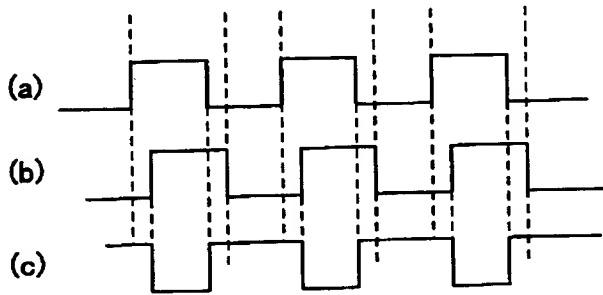
(a) 及び (b) は、クロック信号のデューティ比を刻々と変化させる回路を示す回路図





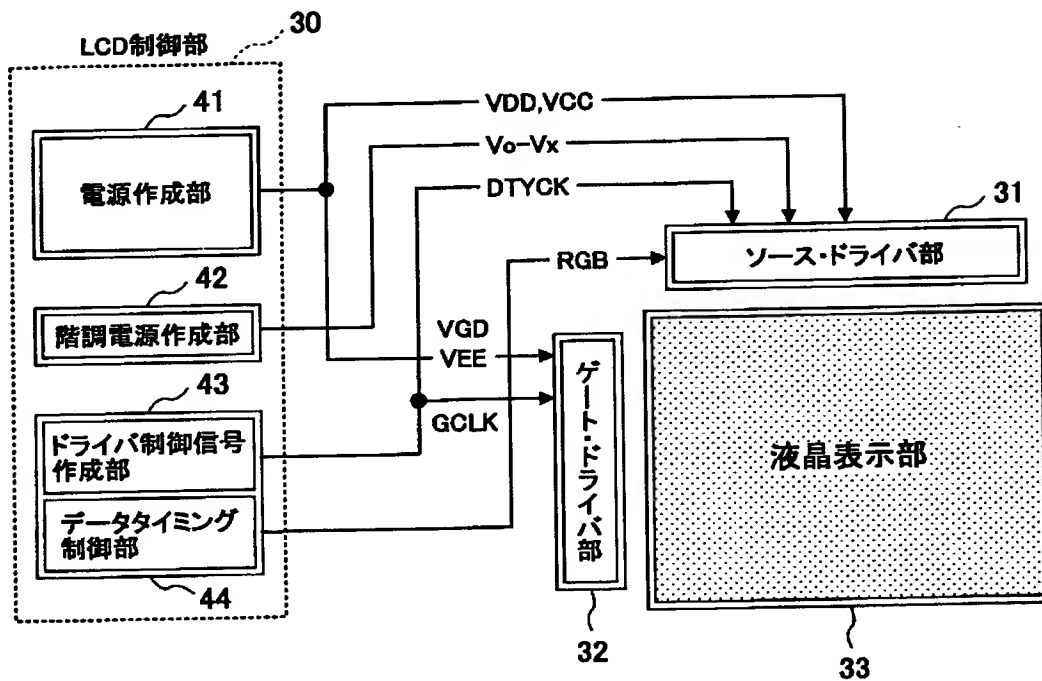
【図2】

第1の回路によって遅延クロックを生成し  
デューティ比を調整する様子を説明する波形図



【図3】

本発明を適用したシステムの一例を示す図



【書類名】        要約書

【要約】

【課題】    本発明は、E M I のレベルを効果的に抑える手法を提供することを目的とする。

【解決手段】 クロック信号生成回路は、データ信号と同期される同期クロック信号の立ち上がりエッジ及び立ち下がりエッジの何れか一方のエッジのタイミングを固定にして他方のエッジのタイミングを変動させることで該同期クロック信号のデューティ比を時々刻々と変化させる。

【選択図】        図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社